

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-312433

(43)Date of publication of application : 07.11.2000

(51)Int.Cl.

H02H 3/087  
H02M 1/00

(21)Application number : 2000-016686

(71)Applicant : YAZAKI CORP

(22)Date of filing : 26.01.2000

(72)Inventor : OGASAWARA KAZUYOSHI

(30)Priority

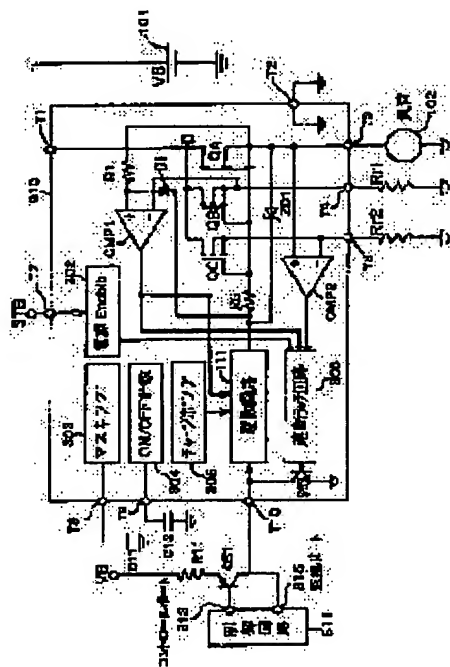
Priority number : 11050118 Priority date : 26.02.1999 Priority country : JP

## (54) SWITCH DEVICE

(57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify this switch device by providing a fault detecting means for determining a fault and stopping an output of a drive signal to a drive circuit through comparison of an output voltage of a first switch means, that is inserted in the power supply circuit connecting a power supply and a load and becomes conductive by receiving a drive signal to close the power supply circuit with the reference voltage.

**SOLUTION:** For example, when a current larger than the current in the normal condition flows into a power supply circuit when a fault such as a short-circuited power supply circuit occurs, an output voltage of a first switching means (semiconductor chip 810) becomes lower than the reference voltage, and a fault determination circuit outputs a determination signal indicating generation of fault to a drive circuit 111. The drive circuit 111 stops output of the drive signal to set the first switching means to the non-conductive condition. Consequently, supply of power to the load from the power supply circuit stops. As explained above, the control such as supply of power to the load and shut-off in supply of power when a fault occurs can be realized only with a hardware circuit without use of the control means such as microcomputer. In addition, the structural elements of switching device is integrated to only one semiconductor chip to simplify the device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a switching device and relates to the switching device which detects abnormalities and controls the electric power supply from a power source to a load especially.

[0002]

[Description of the Prior Art] The switching device is used for controlling the electric power supply from a power source to each load in an automobile etc. the conventional switching device In order to detect the current at the time of abnormalities, such as supply of power, a semiconductor device which switches cutoff, its drive circuit, and a short circuit, The abnormality judging circuit which consists of a comparator which compares the electrical potential difference before and behind a power source, the shunt resistance inserted between semiconductor devices, and shunt resistance, It consists of control means of the microcomputer (it is called a microcomputer for short below) which orders a drive circuit based on the A/D converter and the changed judgment signal for carrying out the analog to digital of the judgment signal from an abnormality judging circuit, and controls ON/OFF of a semiconductor device etc.

[0003] A semiconductor device is turned on with answering a command signal from a control means and a drive circuit outputting a driving signal, the power circuit from a power source to a load closes, and power is supplied to a load. If abnormalities, such as an overcurrent, occur at this time, it would detect that the abnormal current which exceeds normal values in an abnormality judging circuit based on the voltage drop of shunt resistance occurred, the control means would suspend the output of a driving signal, and the semiconductor device and the load will be protected by making a semiconductor device into OFF, i.e., non-switch-on.

[0004]

[Problem(s) to be Solved by the Invention] However, in the conventional switching device, since the control means of a microcomputer etc., the abnormality judging circuit including shunt resistance, the A/D converter, etc. are required, there is a problem that equipment is complicated.

[0005] The technical problem of this invention is offering the simplified switching device.

[0006]

[Means for Solving the Problem] The drive circuit which answers a command signal and outputs a driving signal here as a switching device which is to the base of this invention, The 1st switching means which is inserted all over the power circuit which ties a power source and a load, flows with a driving signal, and closes a power circuit, The 2nd switching means which is inserted into the shunt pathway which connects the criteria resistance which generates reference voltage in response to supply of a current from a power source, and a power source and criteria resistance, flows with a driving signal, and closes a shunt pathway, Compare the 1st output voltage and reference voltage of a switching means, and abnormalities are judged. The ON/OFF counting circuit which outputs a latch command signal when the condition of an abnormality judging means to make a drive circuit suspend the output of a driving

signal, and the 1st switching means is supervised and the 1st switching means repeats a flow and un-flowing the number of setting times according to the condition of a load, And while answering a latch command signal and making the 1st switching means into non-switch-on, what consists of cutoff latch circuits which latch this non-switch-on is considered.

[0007] With such a switching device, if a bigger current than always [ forward ] flows to a power circuit at the time of abnormalities, such as a short circuit of a power circuit, an abnormality judging means will output the judgment signal which shows abnormalities to a drive circuit, for example because the output voltage of the 1st switching means becomes lower than reference voltage. A drive circuit suspends the output of a driving signal, the 1st switching means becomes OFF, i.e., non-switch-on, and supply of the power from a power source to a load is suspended. If it descends until supply of power is suspended and the output voltage of the 1st switching means and the output voltage of the 2nd switching means become almost the same, it is that an abnormality judging means outputs the judgment signal which shows normal, and a driving means outputs a driving signal again, and the 1st switching means will turn on and power will be supplied to a load. By repeating such an output and a halt of a driving signal, when the 1st switching means repeats a flow and un-flowing, an ON/OFF scaling circuit carries out counting of the count of this repetition and it becomes a predetermined count, the 1st switching means is latched to an OFF state by the cutoff latch circuit. That is, it is carrying out only by hardware circuitry, without using an abnormality judging circuit, an A/D converter, etc. which include the control means of a microcomputer etc., and shunt resistance for control of cutoff of supply of the power to a load, and the electric power supply at the time of abnormalities etc. Furthermore, almost all components, such as hardware circuitry which constitutes a switching device, can be integrated to one semiconductor chip. That is, a switching device can be simplified.

[0008] By the way, in the switching device which is to the base of this this invention, the information on implementation of a latch with the judgment signal and cutoff latch means from an abnormality judging means is outputted to the microcomputer which has managed switching of each load of the semiconductor chip exterior, and two or more terminals including these output terminals are prepared in the semiconductor chip.

[0009] Therefore, the switching device of this invention A command means to order it the drive of a load, and the driving means which answers a drive command signal from a command means, and outputs a driving signal, The 1st switching means which is inserted all over the power circuit which ties a power source and a load, flows with a driving signal, and closes a power circuit, The 2nd switching means which is inserted into the shunt pathway which connects the criteria resistance which generates reference voltage in response to supply of a current from a power source, and a power source and criteria resistance, flows with a driving signal, and closes a shunt pathway, An abnormality judging means to compare the 1st output voltage and reference voltage of a switching means, and to judge abnormalities, It is considering as the configuration equipped with a cutoff latch means to change and latch the drive command signal which answers the judgment signal of the abnormalities of an abnormality judging means, and is outputted to a driving means to a halt command signal, and a monitor means to supervise the condition of a load according to the condition of the command signal inputted into a driving means.

[0010] Thus, if a switching device is constituted and the abnormalities in a load will occur, with the signal from an abnormality judging means, a cutoff latch circuit changes a drive command signal into a halt command signal, and a driving means is latched to the condition that the output of a driving signal stopped. Furthermore, the command signal to a driving means supervises one of a drive command signal and the halt command signals with a monitor means, and a monitor means can detect generating of abnormalities, and that the 1st switching means is latched to non-switch-on by the command signal inputted into a driving means being changed into a halt command signal, while the command means is ordering it the drive. For this reason, the terminal for giving a command signal to a driving means can perform now the information output of implementation of an abnormality judging and a latch, and the output of the judgment signal from an abnormality judging means and the information output terminal of latch implementation with a cutoff latch means become unnecessary. That is, the number of terminals of

the semiconductor chip which connection is increased [ semiconductor chip ] and makes equipment complicate is reducible. That is, a switching device can be simplified further.

[0011] Moreover, it is the 1st abnormality judging means judge that is [ an abnormality judging means ] unusual when the output voltage of the 1st switching means is lower than reference voltage.

[0012] Furthermore, when the output voltage of the 1st switching means is higher than reference voltage, you may have the 2nd abnormality judging means judge that is unusual.

[0013]

[Embodiment of the Invention] First, before explaining the gestalt of operation of this invention, the outline of the outline configuration of the switching device with a current oscillatory type cutoff function which is to the base of this invention, and its actuation is explained with reference to drawing 1 thru/or drawing 3 . Drawing 1 is the block block diagram of the switching device with a current oscillatory type cutoff function which comes to apply this invention. Drawing 2 is the important section circuitry Fig. of a switching device. The wave form chart of the load current for drawing 3 (a) to explain an operation of a switching device and (b) are the wave form charts of the electrical potential difference between the drain source terminals of FETQA.

[0014] The switching device with a current oscillatory type cutoff function is constituted on the semiconductor chip 110 as a semiconductor integrated circuit (power IC) which integrated various kinds of circuit elements, as shown in drawing 1 , a power supply terminal T1 is connected to the power source 101 of output voltage VB (for example, +12 volts), an earth terminal T2 is grounded and output terminal T3 is connected to the load 102.

[0015] On this semiconductor chip 110, the n channel thermo-sensor built-in FETQA is integrated as a semiconductor device (power device) which has a sensible-heat cutoff function. A drain electrode is connected to a power source 101 through the drain terminal D and a power supply terminal T1, a source electrode is connected to a load 102 through the source terminal S and output terminal T3, and, as for this thermo-sensor built-in FETQA, the gate electrode is connected to the drive circuit 111 through gate terminal TG and Resistance RG. This thermo-sensor built-in FETQA answers the driving signal (ON pulse signal) which is inserted all over the power circuit which ties a power source 101 and a load 102, and is inputted into gate terminal TG, and it flows through it (ON), and it is constituted as 1st switching means which closes a power circuit. And n channel FETQB and FETQC are integrated by this thermo-sensor built-in FETQA and juxtaposition as a criteria device.

[0016] A drain electrode is connected to a power source 101 through the drain terminal D and a power supply terminal T1, a source electrode is connected to the 1st criteria resistance Rr1 through output terminal T four, and, as for FETQB, the gate electrode is connected to Resistance RG through gate terminal TG. A drain electrode is connected to a power source 101 through the drain terminal D and a power supply terminal T1, a source electrode is connected to the 2nd criteria resistance Rr2 through an output terminal T5, and, as for FETQC, the gate electrode is connected to Resistance RG through gate terminal TG. It flows through FETQB with the driving signal (ON pulse signal) inputted into gate terminal TG, and it is constituted as 2nd switching means which closes the shunt pathway which connects a power supply terminal T1 and the 1st criteria resistance Rr1. It flows through FETQC with the driving signal (ON pulse signal) inputted into gate terminal TG, and it is constituted as 3rd switching means which closes the shunt pathway which connects a power supply terminal T1 and the 2nd criteria resistance Rr2.

[0017] As FETQA, and QB and QC, while, being able to use the power metal-oxide semiconductor field effect transistor of DMOS structure, VMOS structure, or UMOS structure, and MOSFET of structure similar to these for example, other insulated-gate mold power devices, such as MOS compound-die devices, IGBT(s), etc., such as EST and MCT, can be used. Moreover, if the gate is always used by the reverse bias, junction type FET, an assembling die SIT, SI thyristor, etc. can also be used. Furthermore, as FETQA used for Power IC, and QB and QC, it can use also with an n channel mold or a p channel mold.

[0018] Moreover, two or more unit cells (unit cell) are constituted using the power device of the multi-channel structure by which parallel connection was carried out, each FET adjoins and the thermo-sensor

built-in FETQA, and QB and QC are arranged. And the current capacity of FETQB and QC is set up smaller than the current capacity of FETQA. This setup is adjusted with the number of unit cells of the parallel connection which constitutes FETQB and QC. For example, to one unit cell of FETQB, it is constituted so that the number of unit cells of FETQA may be set to 1000, and the ratio of channel width W of FETQB and FETQA has become 1:1000.

[0019] Furthermore, the source terminal S of FETQA is connected to the plus input terminal of a comparator CMP 1 and a comparator CMP 2, respectively, the source electrode of FETQB is connected to the minus input terminal of a comparator CMP 1, and the source electrode of FETQC is connected to the minus input terminal of a comparator CMP 2. The output terminal of a comparator CMP 1 is connected to the drive circuit 111, and the output terminal of a comparator CMP 2 is connected to the malfunction detection section 501 which performs too little current detection, lamp open-circuit detection, and opening detection through the output terminal T6 of a semiconductor chip 110. In addition, the source terminal S of FETQA is connected to the drive circuit 111 through zener diode ZD1, and when between gate terminal TG and the source terminal S of FETQA, FETQB, and FETQC is kept at 12 volts and an overvoltage is impressed to gate terminal TG, this zener diode ZD1 is constituted so that this overvoltage may be bypassed.

[0020] On the other hand in other fields on a semiconductor chip 110 The power-source Enable section 302, the masking circuit 303, the ON/OFF scaling circuit 304, the charge pump circuit 305, and the cutoff latch circuit 306 (refer to JP,6-244414,A) are integrated. The power-source Enable section 302 is connected to a terminal T7, and the masking circuit 303 is connected to a capacitor C11 through a terminal T8. The ON/OFF scaling circuit 304 is connected to a capacitor C12 through a terminal T9. The drive circuit 111 is connected to a switch SW1 and resistance R11 through an input terminal T10, and the cutoff latch circuit 306 is connected to the DAIAGU output section (diagnostic result output section) 502 through the output terminal T11.

[0021] In addition, the masking circuit 303 is for abolishing namely, masking the rush current produced when FETQA is turned on and a current begins to flow for a load, and when the rush current does not pose a problem, it does not need to be equipped with the terminal T8 or capacitor C11 which accompany the masking circuit 303 and this. Moreover, it is not necessary to have the terminal T11 which accompanies the DAIAGU output section (diagnostic result output section) 502 and this without the need for a diagnostic result output.

[0022] As shown in drawing 2, while the drive circuit 111 is equipped with the source transistor Q5 and the sink transistor Q6, it has a driver element, an inverter, etc. which carry out on-off control of each transistor, and series connection of each transistors Q5 and Q6 of each other is carried out. And the collector of the source transistor Q5 is connected to the terminal of potential VP, and the emitter is connected to gate terminal TG through Resistance RG. A collector is connected to gate terminal TG through Resistance RG, and, as for the sink transistor Q6, the emitter is connected to touch-down potential (GND). The terminal of potential VP is connected to the charge pump circuit 305, and the potential VP of this terminal is set as 12V+10V, when an electrical potential difference higher than a power source 101, for example, the electrical potential difference of a power source 101, is set to 12V with the output of the charge pump circuit 305.

[0023] A command signal is answered from an input terminal T10, the source transistor Q5 is turned on, and the drive circuit 111 is constituted as a driving means which outputs a high-level driving signal (ON pulse signal) to an output terminal (node of a transistor Q5 and a transistor Q6), when it switches on [ SW1 ] and an input terminal T10 is grounded through a switch SW1. On the other hand, since the electrical potential difference of a power source 101 is impressed to an input terminal T10 through resistance R11 when a switch SW1 is opened, the sink transistor Q6 is turned on and the level of an output terminal (node of a transistor Q5 and a transistor Q6) is made to change to a low level. In addition, as a drive circuit 111, it is also possible to use and constitute CMOSFET instead of a bipolar transistor.

[0024] If the driving signal (ON pulse signal) from the drive circuit 111 by the above-mentioned configuration is inputted into gate terminal TG, each FETQA, and QB and QC will flow, and as shown

in drawing 3 , the drain source inter-electrode electrical potential difference 701 of each FET falls to less than [ 2V ]. When a load 102 is an all seems well at this time, while the driving signal is outputted from the drive circuit 111, the drain source inter-electrode of each FET is maintained by less than [ 2V ], and the drain current 705 of FETQA becomes fixed.

[0025] Here, when a load 102 etc. short-circuits, a high current flows for a load 102 etc. and there is a possibility that a load 102 and FETQA may be damaged. Then, the source electrical potential difference of FETQA and QB is supervised with a comparator CMP 1, and when both electrical potential difference exceeds a threshold, the configuration which stops the output of a driving signal compulsorily is adopted as the drive circuit 111.

[0026] That is, the source electrical potential difference of FETQA is inputted into the plus input terminal of a comparator CMP 1, and the source electrical potential difference of FETQB is inputted into the minus input terminal. And a comparator CMP 1 compares the electrical potential difference inputted into the plus input terminal and the minus input terminal. When the source electrical potential difference of FETQA was higher than the source electrical potential difference of FETQB, or the output signal of "H" level is outputted when almost equal, and the source electrical potential difference of FETQA becomes lower than the source electrical potential difference of FETQB, For example, if a bigger current than usual flows for a load 102 and the source electrical potential difference of FETQA becomes low from the source electrical potential difference of FETQB by the 1st criteria resistance  $R_{r1}$ , i.e., threshold voltage The signal of "L" level is outputted to the drive circuit 111 noting that abnormal current flows to FETQA. When the signal of "H" level is inputted from the comparator CMP 1, as for the drive circuit 111, the output of a driving signal is attained, but when the signal of "L" level is inputted, the output of a driving signal is suspended compulsorily. Thus, the comparator CMP 1 is constituted as an abnormality judging means for making the drive circuit 111 suspend the output of a driving signal compulsorily. in addition, the current value to which threshold voltage flows a load by L and abnormalities to detect in resistance of a load -- usually --  $\alpha$  twice of the current value at the time and the number ratio of FETQB and FETQA, i.e., the ratio of channel width W, -- if 1:N, it will be decided by setting the resistance of the criteria resistance  $R_{r1}$  as  $N \cdot L / \alpha$ .

[0027] Similarly, the source electrical potential difference of FETQA is inputted into a plus input terminal, and the source electrical potential difference of FETQC is inputted into the minus input terminal for the comparator CMP 2. And the electrical potential difference inputted into the plus input terminal and the minus input terminal is compared. The source electrical potential difference of FETQA is lower than the source electrical potential difference of FETQC, or when almost equal, the output signal of "L" level is outputted. When the source electrical potential difference of FETQA is higher than the source electrical potential difference of FETQC, For example, loads 102 are two or more electric bulbs, and when one of the electric bulbs is disconnected, a current smaller than usual flows. If the direction of the source electrical potential difference of FETQA becomes high, the signal of "H" level will be outputted to the malfunction detection section 501 from the source electrical potential difference of FETQC of the 2nd criteria resistance  $R_{r2}$ , i.e., threshold voltage, noting that abnormal current flows to FETQA. Thus, the comparator CMP 2 is constituted as an abnormality judging means to output detection of abnormalities to the malfunction detection section 501. in addition, the current value to which threshold voltage flows a load by L and abnormalities to detect in resistance of a load -- usually --  $1/\beta$  twice of the current value at the time and the number ratio of FETQB and FETQA, i.e., the ratio of channel width W, -- if 1:N, it will be decided by setting the resistance of the criteria resistance  $R_{r2}$  as  $\beta \cdot N \cdot L$ .

[0028] On the other hand, if FETQA changes from an ON state to an OFF state, when a transistor Q6 is turned on, diode D1 will flow. Consequently, a current flows in the path of resistance R1 and diode D1, and the potential of the plus input terminal of a comparator CMP 1 falls rather than the time of the drive circuit 111 carrying out ON control. Therefore, FETQA is maintained by the OFF state until the difference of the specific electrical potential difference between the drain sources small immediately after changing to an OFF state arises (i.e., until the source electrical potential difference of FETQA becomes almost the same as the source electrical potential difference of FETQB).



[0029] However, even when FETQA is turned off in the short circuit of wiring etc., a drain current increases and FETQA changes to an OFF state through the operating state in a triode property field via a pinch-off field. Consequently, after fixed time amount progress, the potential of the plus input terminal of a comparator CMP 1 becomes high, the output level of a comparator CMP 1 changes from "L" level to "H" level, and FETQA changes to an ON state again. As shown in drawing 3, periodic transition of the electrical potential difference 703 between the drain sources of FETQA at the time of abnormalities, such as a short circuit of such a load 102, is continued while the switch SW1 has closed, and, thereby, the drain current 707 of FETQA is changed periodically. The period of transition of the electrical potential difference 703 between the drain sources of FETQA is determined by the time constant based on the inductance of wiring, wiring resistance, the capacitor capacity of FETQA, etc.

[0030] Then, counting of the count which FETQA turns on and off is carried out, when these enumerated data reach the set point, FETQA is intercepted compulsorily, and it is supposed that this cut off state is held.

[0031] Specifically, the ON/OFF scaling circuit 304 and the cutoff latch circuit 306 are formed as a circuit for carrying out counting of the on-off condition of FETQA.

[0032] It has bipolar transistors Q41, Q42, and Q43, an n channel FETQ44, diodes D41, D42, and D43, zener diode ZD41, and resistance R41-R46, and the ON/OFF scaling circuit 304 is constituted, as shown in drawing 2.

[0033] When the cathode side of zener diode ZD41 is connected to the source terminal S of FETQA and the electrical potential difference of the source terminal S is in a normal state, a forward bias electrical potential difference is impressed to the base of a transistor Q43, and a transistor Q43 is in an ON state. For this reason, a transistor Q42 is also in an ON state. On the other hand, since the base is connected to the output terminal of the drive circuit 111 through resistance R41 and diode D42, a transistor Q41 has a transistor Q41 in the condition of OFF, when a transistor Q5 is ON (i.e., when FETQA is ON).

[0034] On the other hand, since diode D42 is grounded through a transistor Q6 when a transistor Q6 is turned on (i.e., when FETQA becomes off), a transistor Q41 is turned on. If a transistor Q41 is turned on, the current from a power source 101 will flow to a capacitor C12 through transistors Q41 and Q42 and resistance R44, and a capacitor C12 will be charged.

[0035] Next, if a transistor Q5 changes from OFF to ON, a transistor Q41 will become off, and the charge charged by the capacitor C12 discharges through resistance R46. If a transistor Q6 serves as ON again after this and a transistor Q41 is turned on, a capacitor C12 will be charged further.

[0036] In the process which repeats such on-off control action, if the gate voltage of FETQ44 exceeds a threshold with the charge charged by the capacitor C12, FETQ44 will be turned on and diode D42 will flow. By this, the both ends of a temperature sensor 121 will connect too hastily through diode D43, and a latch command signal will be outputted to the cutoff latch circuit 306. That is, the ON/OFF scaling circuit 304 is constituted as a latch command means. In addition, the time constant by resistance R46 and the capacitor C12 can adjust time amount until the count of ON/OFF reaches the set point.

[0037] The cutoff latch circuit 306 is equipped with n channel FETQS, Q11, Q12, Q13 and Q14, a temperature sensor 121, and resistance R31-R35, and is constituted, the drain electrode of FETQS is connected to gate terminal TG of FETQA, and the source electrode is connected to the source terminal S of FETQA. When the series connection of the four diodes is carried out, they are constituted and the temperature of a semiconductor chip 110 exceeds laying temperature, the temperature sensor 121 is constituted so that the electrical potential difference of both ends may become lower than a programmed voltage. That is, the electrical potential difference of the both ends of a temperature sensor 121 is set to always [ forward ] more highly than the source gate inter-electrode threshold of FETQ11, and FETQ11 is always maintained by the ON state. and -- the time of FETQ11 being ON -- FETQ13 is maintained by ON and, as for FETQ14, FETQ12 and FETQS are maintained by the OFF state at OFF.

[0038] On the other hand, by turning on FETQ44, the temperature of a semiconductor chip 110 will become [ FETQ11 ] off from ON, if the electrical potential difference of the both ends of a temperature sensor 121 falls below to a programmed voltage exceeding laying temperature in that the both ends of a temperature sensor 121 connect too hastily through diode D43 \*\*\*\*, and FETQ14 is turned on. If



FETQ14 is turned on, while FETQ13 is turned on, FETQS is turned on, the source gate inter-electrode of FETQA will connect too hastily by FETQS, and FETQA will be in a cut off state. This short circuit condition is latched by FETQ12 and Q13 which constitute a latch circuit. that is, when the count of ON/OFF of the ON/OFF counting circuit 304 reaches the set point, boil the cutoff latch circuit 306 temperature sensor 121 -- when the temperature of \*\*\*\*\* 110 exceeds laying temperature with heating by the current 707 (current vibration) changed periodically as mentioned above, while making FETQA into non-switch-on, it is constituted as a cutoff latch means to latch this non-switch-on. [0039] Thus, with the switching device using a semiconductor chip 110, by hardware circuitry, abnormal currents, such as an overcurrent and a too little current, are detected, FETQA can be latched to non-switch-on, and the signal which shows generating of abnormalities according to the condition of the abnormality can be outputted to the exterior, for example, the control means which manages switching of the whole load. That is, the control means of a microcomputer etc., an abnormality judging circuit including shunt resistance, an A/D converter, etc. become unnecessary like before, and control of cutoff of supply of the power to a load and the electric power supply at the time of abnormalities etc. can carry out only by hardware circuitry, and can integrate almost all components, such as hardware circuitry which constitutes a switching device further, to one semiconductor chip. That is, a switching device can be simplified.

[0040] Next, the description section of 1 operation gestalt of a switching device and this invention which comes to apply this invention is explained with reference to drawing 4 and drawing 5 . Drawing 4 is the block block diagram of the switching device of this operation gestalt. Drawing 5 is drawing showing each port electrical potential difference, an FET load output state, and the condition of a power source. Although the switching device of this operation gestalt is fundamentally the same as the switching device of above-mentioned drawing 1 in a configuration and actuation, as shown in drawing 4 , it is equipped with a transistor Q51 instead of SW1, and is connected with the terminal T10 into which resistance R11 and a collector input [ an emitter ] a command signal in the control port 813 of a control section 811 where \*-SU consists of a microcomputer etc. in the monitor port 815 of a control section 811. Furthermore, unlike the switching device which is to the base of above-mentioned this invention, the drive circuit 111 of this operation gestalt has composition which outputs a driving signal by inputting a high-level command signal. Moreover, although it is fundamentally the same as the semiconductor chip 110 of above-mentioned drawing 1 , the semiconductor chip 810 of this operation gestalt is constituted so that the output of a power source Enable302, a comparator CMP 1, and a comparator CMP 2 may act on the direct cutoff latch circuit 306. Furthermore, the transistor Q53 is integrated by the semiconductor chip 810, a collector is connected to a latch signal terminal from the cutoff latch circuit 306, and the terminal T10 and the emitter are connected to touch-down potential for the base. That is, a control section 811 and a transistor Q51 function as a command means to order it the drive of a load, and the control section 811 is functioning further also as a monitor means to supervise the condition of a load according to the condition of a command signal. Moreover, the transistor Q53 constitutes the cutoff latch means with the cutoff latch circuit. In addition, transistors Q51 and Q53 can also use CMOSFET instead of a bipolar transistor.

[0041] In the switching device of this operation gestalt, if the control port 813 is made into a low level in order that a control section 811 may order it the drive of a load as shown in drawing 5 , a transistor Q51 will flow. When a transistor Q51 flows, a high-level drive command signal is inputted into the drive circuit 111, and a high-level driving signal is outputted to FETQA from the drive circuit 111. As for FETQA, switch-on, i.e., the load output of FETQA, is turned on with a driving signal. When abnormalities occur here and it is an overcurrent, a comparator CMP 1 is. In the case of a too little current, a comparator CMP 2 outputs the judgment signal of "H" level for the judgment signal of "L" level at the cutoff latch circuit 306. The cutoff latch circuit 306 outputs a high-level latch signal to the base of a transistor Q53, and makes it flow through a transistor Q53 with these judgment signals, touch-down potential is made to change, the high-level drive command signal inputted into the drive circuit 111 is changed into the halt command signal of a low level, the output of the drive circuit 111 is suspended, and FETQA is latched to non-switch-on. On the other hand, abnormalities occur because the

electrical potential difference of a terminal T10 changed to a low level, i.e., a halt command signal, and a control section 811 detects that FETQA would be in non-switch-on, while supervising the electrical potential difference of a terminal T10, i.e., a command signal, in the monitor port 815 and ordering it the drive of a load from the control port 813. A control section 811 makes a low level the electrical potential difference of the control port 813 after predetermined time progress from an abnormal occurrence, and the drive command of a load is lifted. Reset of the cutoff latch circuit 306, i.e., discharge of a latch condition, is performed because a power source is turned off, or a standby signal is inputted from a terminal T7 and a power source Enable302 becomes a standby mode.

[0042] Thus, in the switching device of this operation gestalt, a control section 811 supervises the condition of the command signal of a terminal T10, and since it detects that FETQA would be in non-switch-on, the terminal T6 which connects the malfunction detection section 501 for too little current detection of the semiconductor chip 110 of drawing 1 etc., and the terminal T11 which connects the DAIAGU output section 502 can be lost. That is, since the number of terminals of the semiconductor chip which connection is increased [ semiconductor chip ] and makes equipment complicate is reducible, a switching device can be simplified. Moreover, since the cost of a semiconductor chip is proportional to the number of terminals, when the number of terminals becomes fewer, it can also reduce the cost of a semiconductor chip, i.e., a switching device.

[0043] Moreover, although the control port 813 and the monitor port 815 were established in the control section 811 which is controlling switching of each same load with this operation gestalt, you may prepare in a separate circuit, control means other than control-section 811, etc. respectively.

[0044] Moreover, with this operation gestalt, although it has both the comparator CMP 1 and the comparator CMP 2, it is not necessary to have the comparator CMP 2 according to the application of a switching device.

[0045] Moreover, although this operation gestalt is a direct current circuit, the switching device of this invention is applicable also to an AC circuit.

[0046]

[Effect of the Invention] According to this invention, a switching device can be simplified.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

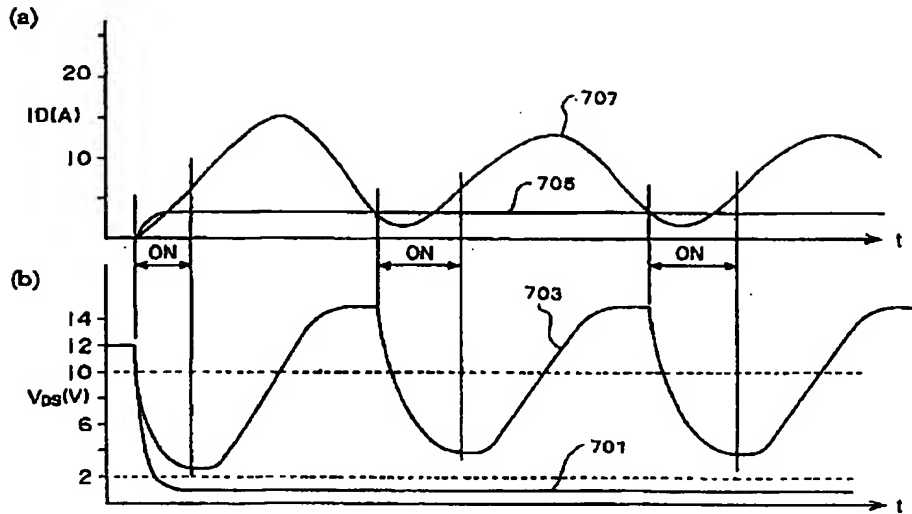
[Claim 1] A command means to order it the drive of a load, and the driving means which answers a drive command signal from said command means, and outputs a driving signal, The 1st switching means which is inserted all over the power circuit which ties a power source and a load, flows with said driving signal, and closes said power circuit, The 2nd switching means which is inserted into the shunt pathway which connects the criteria resistance which generates reference voltage in response to supply of a current from said power source, and said power source and said criteria resistance, flows with said driving signal, and closes said shunt pathway, An abnormality judging means to compare said the 1st output voltage and said reference voltage of a switching means, and to judge abnormalities, A switching device equipped with a cutoff latch means to change and latch said drive command signal which answers the judgment signal of the abnormalities of said abnormality judging means, and is outputted to said driving means to a halt command signal, and a monitor means to supervise the condition of a load according to the condition of the command signal inputted into said driving means.

---

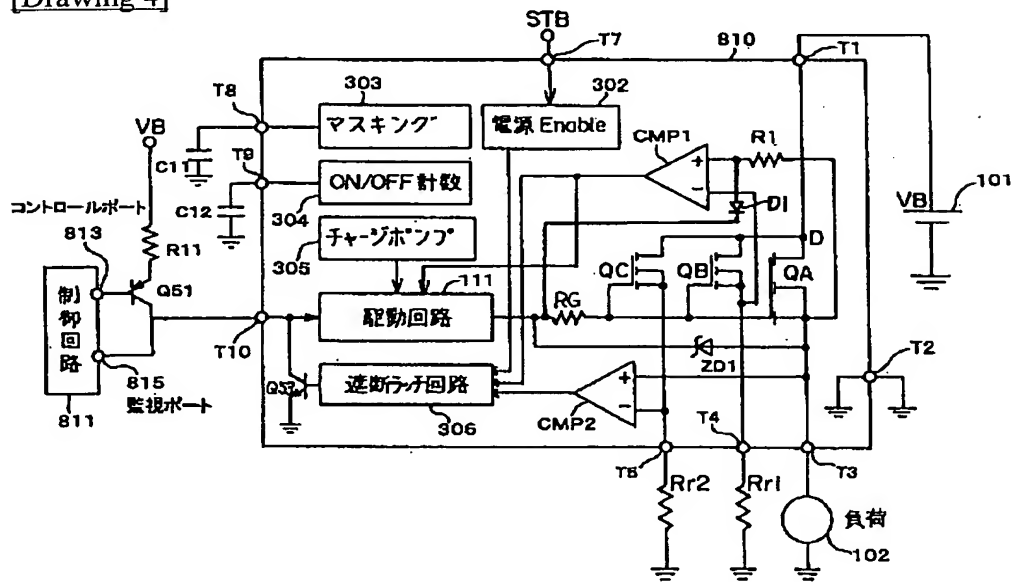
[Translation done.]



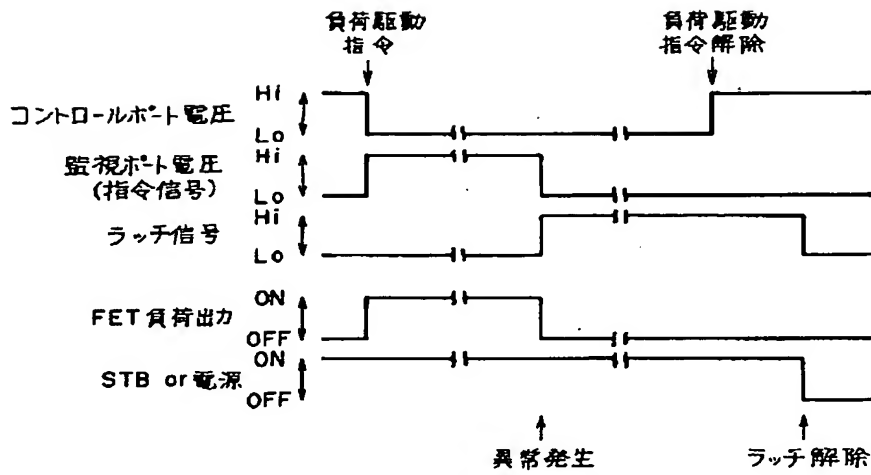
[Drawing 3]



[Drawing 4]



[Drawing 5]



[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-312433

(P2000-312433A)

(43) 公開日 平成12年11月7日 (2000.11.7)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマト (参考)

H 0 2 H 3/087

H 0 2 H 3/087

H 0 2 M 1/00

H 0 2 M 1/00

E

審査請求 未請求 請求項の数 1 O L (全 10 頁)

(21) 出願番号 特願2000-16686(P2000-16686)

(22) 出願日 平成12年1月26日 (2000.1.26)

(31) 優先権主張番号 特願平11-50118

(32) 優先日 平成11年2月26日 (1999.2.26)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000006895

矢崎総業株式会社

東京都港区三田1丁目4番28号

(72) 発明者 小笠原 一賀

静岡県裾野市御宿1500 矢崎総業株式会社  
内

(74) 代理人 100098017

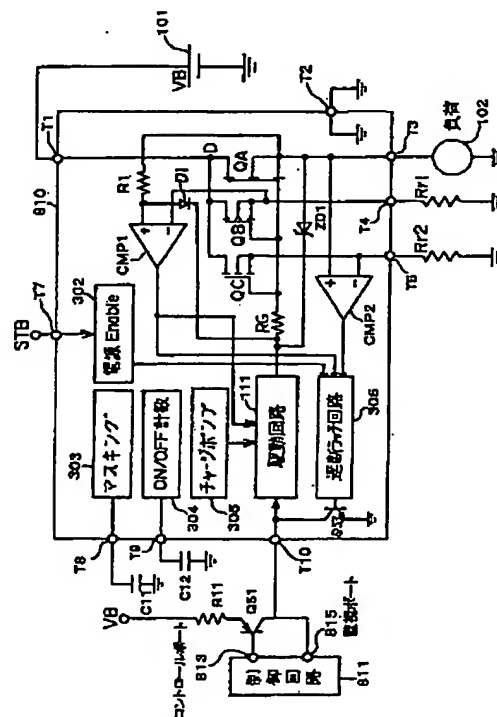
弁理士 吉岡 宏嗣 (外1名)

#### (54) 【発明の名称】 スイッチング・デバイス

#### (57) 【要約】

【課題】 簡素化したスイッチング・デバイスを提供する。

【解決手段】 負荷の駆動を指令する指令手段813、Q51、駆動指令信号にตอบสนองして駆動信号を出力する駆動手段111、電源101と負荷102とを結ぶ電源回路中に挿入されて駆動信号により導通して電源回路を閉じる第1のスイッチング手段QA、電源から電流の供給を受けて基準電圧を発生する基準抵抗Rr1、2、電源と基準抵抗Rr1、2とを結ぶ分流回路中に挿入されて駆動信号により導通して分流回路を閉じる第2のスイッチング手段QB、QC、第1のスイッチング手段QAの出力電圧と基準電圧とを比較して異常を判定する異常判定手段CMP1、2、異常の判定信号にตอบสนองして駆動手段111に入力される駆動指令信号を停止指令信号に変更してラッチする遮断ラッチ手段306、Q53、そして駆動手段111に入力される指令信号の状態により負荷102の状態を監視する監視手段811を備える。





【0009】したがって、本発明のスイッチング・デバイスは、負荷の駆動を指令する指令手段と、指令手段からの駆動指令信号に応答して駆動信号を出力する駆動手段と、電源と負荷とを結ぶ電源回路中に挿入されて駆動信号により導通して電源回路を閉じる第1のスイッチング手段と、電源から電流の供給を受けて基準電圧を発生する基準抵抗と、電源と基準抵抗とを結ぶ分流回路中に挿入されて駆動信号により導通して分流回路を閉じる第2のスイッチング手段と、第1のスイッチング手段の出力電圧と基準電圧とを比較して異常を判定する異常判定手段と、異常判定手段の異常の判定信号に応答して駆動手段に出力される駆動指令信号を停止指令信号に変更してラッチする遮断ラッチ手段と、駆動手段に入力される指令信号の状態により負荷の状態を監視する監視手段とを備える構成としている。

【0010】このようにスイッチング・デバイスを構成すれば、負荷での異常が発生すると、異常判定手段からの信号により、遮断ラッチ回路が駆動指令信号を停止指令信号に変更し、駆動手段を駆動信号の出力が停止した状態にラッチする。さらに、駆動手段への指令信号が駆動指令信号と停止指令信号のどちらかを監視手段で監視し、監視手段は、指令手段が駆動を指令しているときに、駆動手段に入力される指令信号が停止指令信号に変更されることで異常の発生と、第1のスイッチング手段が、非導通状態にラッチされていることを検知することができる。このため、異常判定やラッチの実施の情報出力は、駆動手段に指令信号を与えるための端子で行なえるようになり、異常判定手段からの判定信号の出力や、遮断ラッチ手段でのラッチ実施の情報出力端子が必要なくなる。つまり、接続を増やし装置を複雑化させる半導体チップの端子数を削減できる。すなわち、さらにスイッチング・デバイスを簡素化できる。

【0011】また、異常判定手段は、第1のスイッチング手段の出力電圧が基準電圧よりも低いときに異常と判定する第1の異常判定手段である。

【0012】さらに、第1のスイッチング手段の出力電圧が基準電圧よりも高いときに異常と判定する第2の異常判定手段を備えていてもよい。

【0013】

【発明の実施の形態】まず、本発明の実施の形態を説明する前に、本発明の基本となる電流振動型遮断機能付きスイッチング・デバイスの概略構成およびその動作の概略について図1乃至図3を参照して説明する。図1は、本発明を適用してなる電流振動型遮断機能付きスイッチング・デバイスのブロック構成図である。図2は、スイッチング・デバイスの要部回路構成図である。図3

(a)は、スイッチング・デバイスの作用を説明するための負荷電流の波形図、(b)は、FETQAのドレイン・ソース端子間の電圧の波形図である。

【0014】電流振動型遮断機能付きスイッチング・デ

バイスは、図1に示すように、半導体チップ110上に各種の回路素子を集積化した半導体集積回路（パワーIC）として構成されており、電源端子T1が出力電圧VB（例えば+12ボルト）の電源101に接続され、接地端子T2が接地され、出力端子T3が負荷102に接続されている。

【0015】この半導体チップ110上には、感熱遮断機能を有する半導体素子（パワーデバイス）として、nチャネル温度センサー内蔵FETQAが集積化されている。この温度センサー内蔵FETQAは、ドレイン電極がドレイン端子D、電源端子T1を介して電源101に接続され、ソース電極がソース端子S、出力端子T3を介して負荷102に接続され、ゲート電極がゲート端子TG、抵抗RGを介して駆動回路111に接続されている。この温度センサー内蔵FETQAは、電源101と負荷102とを結ぶ電源回路中に挿入されてゲート端子TGに入力される駆動信号（オンパルス信号）に応答して導通（オン）して、電源回路を閉じる第1のスイッチング手段として構成されている。そしてこの温度センサー内蔵FETQAと並列に基準デバイスとして、nチャネルFETQB、FETQCが集積化されている。

【0016】FETQBはドレイン電極がドレイン端子D、電源端子T1を介して電源101に接続され、ソース電極が出力端子T4を介して第1の基準抵抗Rr1に接続され、ゲート電極がゲート端子TGを介して抵抗RGに接続されている。FETQCは、ドレイン電極がドレイン端子D、電源端子T1を介して電源101に接続され、ソース電極が出力端子T5を介して第2の基準抵抗Rr2に接続され、ゲート電極がゲート端子TGを介して抵抗RGに接続されている。FETQBは、ゲート端子TGに入力される駆動信号（オンパルス信号）により導通して、電源端子T1と第1の基準抵抗Rr1とを結ぶ分流回路を閉じる第2のスイッチング手段として構成されている。FETQCは、ゲート端子TGに入力される駆動信号（オンパルス信号）により導通して、電源端子T1と第2の基準抵抗Rr2とを結ぶ分流回路を閉じる第3のスイッチング手段として構成されている。

【0017】FETQA、QB、QCとしては、例えば、DMOS構造、VMOS構造あるいはUMOS構造のパワーMOSFETやこれらと類似な構造のMOSFETを用いることができるとともに、EST、MCTなどのMOS複合型デバイスやIGBTなど他の絶縁ゲート型パワーデバイスを用いることができる。また、常にゲートを逆バイアスで使うものであれば、接合型FET、接合型SITやSIサイリスタなどを使用することもできる。さらに、パワーICに用いるFETQA、QB、QCとしては、nチャネル型でもpチャネル型でも用いることができる。

【0018】また、温度センサー内蔵FETQA、QB、QCは、例えば、複数個のユニットセル（単位セ

ル) が並列接続されたマルチ・チャネル構造のパワーデバイスを用いて構成されており、各FETが隣接して配置されている。そしてFETQB、QCの電流容量はFETQAの電流容量よりも小さく設定されている。この設定は、FETQB、QCを構成する並列接続のユニットセル数で調整されている。例えば、FETQBのユニットセル数1に対して、FETQAのユニットセル数が1000となるように構成されており、FETQBとFETQAのチャネル幅Wの比は、例えば1:1000となっている。

【0019】さらに、FETQAのソース端子SはコンパレータCMP1とコンパレータCMP2のプラス入力端子にそれぞれ接続されており、FETQBのソース電極はコンパレータCMP1のマイナス入力端子に接続され、FETQCのソース電極はコンパレータCMP2のマイナス入力端子に接続されている。コンパレータCMP1の出力端子は駆動回路111に接続され、コンパレータCMP2の出力端子は半導体チップ110の出力端子T6を介して、過小電流検出、ランプ断線検出、オープン検出を行なう異常検出部501に接続されている。なお、FETQAのソース端子SはツェナーダイオードZD1を介して駆動回路111に接続されており、このツェナーダイオードZD1は、FETQA、FETQB、FETQCのゲート端子TG・ソース端子S間を12ボルトに保ち、ゲート端子TGに過電圧が印加されたときに、この過電圧をバイパスするように構成されている。

【0020】一方、半導体チップ110上の他の領域には、電源Enable部302、マスキング回路303、ON/OFF計数回路304、チャージポンプ回路305、遮断ラッチ回路306（特開平6-244414号公報参照）が集積化されており、電源Enable部302が端子T7に接続され、マスキング回路303が端子T8を介してコンデンサC11に接続され、ON/OFF計数回路304が端子T9を介してコンデンサC12に接続され、駆動回路111が入力端子T10を介してスイッチSW1と抵抗R11に接続され、遮断ラッチ回路306が出力端子T11を介してダイアグ出力部（診断結果出力部）502に接続されている。

【0021】なお、マスキング回路303は、FETQAがオンされ負荷に電流が流れ始めたときに生ずる突入電流をなくす、すなわちマスキングするためのものであり、突入電流が問題とならない場合には、マスキング回路303とこれに付随する端子T8やコンデンサC11は備えていなくてもよい。また、ダイアグ出力部（診断結果出力部）502とこれに付随する端子T11は、診断結果出力の必要がなければ備えていなくてもよい。

【0022】駆動回路111は、図2に示すように、ソーストランジスタQ5とシンクトランジスタQ6を備えているとともに、各トランジスタをオンオフ制御する駆

動素子とインバータなどを備えており、各トランジスタQ5、Q6が互いに直列接続されている。そしてソーストランジスタQ5のコレクタが電位VPの端子に接続され、エミッタが抵抗RGを介してゲート端子TGに接続されている。シンクトランジスタQ6はコレクタが抵抗RGを介してゲート端子TGに接続され、エミッタが接地電位（GND）に接続されている。電位VPの端子は、チャージポンプ回路305に接続されており、この端子の電位VPは、チャージポンプ回路305の出力によって、電源101よりも高い電圧、例えば、電源101の電圧を12Vとしたとき、12V+10Vに設定されている。

【0023】駆動回路111は、スイッチSW1が投入されて入力端子T10がスイッチSW1を介して接地されたときに、入力端子T10からの指令信号に応答してソーストランジスタQ5がオンになり、出力端子（トランジスタQ5とトランジスタQ6との接続点）にハイレベルの駆動信号（オンパルス信号）を出力する駆動手段として構成されている。一方、スイッチSW1が開かれたときには、入力端子T10に抵抗R11を介して電源101の電圧が印加されるので、シンクトランジスタQ6がオンになって出力端子（トランジスタQ5とトランジスタQ6との接続点）のレベルをローレベルに遷移させるようになっている。なお、駆動回路111としては、バイポーラトランジスタの代わりに、CMOSFETを用いて構成することも可能である。

【0024】上記構成による駆動回路111からの駆動信号（オンパルス信号）がゲート端子TGに入力されると各FETQA、QB、QCは導通し、図3に示すように、各FETのドレイン・ソース電極間の電圧701は、2V以下に低下する。このとき負荷102が正常状態の場合、駆動回路111から駆動信号が出力されている間は各FETのドレイン・ソース電極間は2V以下に維持され、FETQAのドレイン電流705が一定になる。

【0025】ここで、負荷102などが短絡すると、負荷102などに大電流が流れ、負荷102やFETQAが損傷する恐れがある。そこで、FETQA、QBのソース電圧をコンパレータCMP1で監視し、両者の電圧が閾値を超えたときには駆動回路111に駆動信号の出力を強制的に停止させる構成が採用されている。

【0026】すなわち、コンパレータCMP1のプラス入力端子には、FETQAのソース電圧が入力されており、マイナス入力端子にはFETQBのソース電圧が入力されている。そしてコンパレータCMP1は、プラス入力端子およびマイナス入力端子に入力された電圧を比較し、FETQAのソース電圧がFETQBのソース電圧よりも高いかほぼ等しいときには“H”レベルの出力信号を出力し、FETQAのソース電圧がFETQBのソース電圧よりも低くなったとき、例えば、負荷102

10

20

30

40

50

に通常よりも大きな電流が流れ、第1の基準抵抗 $R_{r1}$ によるFETQBのソース電圧、すなわち閾値電圧よりも、FETQAのソース電圧の方が低くなると、FETQAに異常電流が流れたとして“L”レベルの信号を駆動回路111に出力するようになっている。駆動回路111はコンパレータCMP1から“H”レベルの信号が入力されているときには駆動信号の出力が可能になっているが、“L”レベルの信号が入力されたときには駆動信号の出力が強制的に停止されるようになっている。このように、コンパレータCMP1は、駆動回路111に

10 駆動信号の出力を強制的に停止させるための異常判定手段として構成されている。なお、閾値電圧は、負荷の抵抗を $L$ 、検出したい異常により負荷を流れる電流値を通常時の電流値の $\alpha$ 倍、FETQBとFETQAの個数比、すなわちチャネル幅 $W$ の比 $1:N$ とすると、基準抵抗 $R_{r1}$ の抵抗値を $N \cdot L / \alpha$ に設定することで決まる。

【0027】コンパレータCMP2も同様に、プラス入力端子には、FETQAのソース電圧が、マイナス入力端子には、FETQCのソース電圧が入力されている。そして、プラス入力端子およびマイナス入力端子に入力された電圧を比較し、FETQAのソース電圧がFETQCのソース電圧よりも低いかほぼ等しいときには

“L”レベルの出力信号を出力し、FETQAのソース電圧がFETQCのソース電圧よりも高いとき、例えば、負荷102が複数の電球であり、電球の1つが断線することにより通常よりも小さな電流が流れ、第2の基準抵抗 $R_{r2}$ のFETQCのソース電圧、すなわち閾値電圧よりも、FETQAのソース電圧の方が高くなると、FETQAに異常電流が流れたとして“H”レベル

30 の信号を異常検出部501に出力するようになっている。このようにコンパレータCMP2は、異常の検出を異常検出部501に出力する異常判定手段として構成されている。なお、閾値電圧は、負荷の抵抗を $L$ 、検出したい異常により負荷を流れる電流値を通常時の電流値の $1/\beta$ 倍、FETQBとFETQAの個数比、すなわちチャネル幅 $W$ の比 $1:N$ とすると、基準抵抗 $R_{r2}$ の抵抗値を $\beta \cdot N \cdot L$ に設定することで決まる。

【0028】一方、FETQAがオン状態からオフ状態に遷移すると、トランジスタQ6がオンになることによ

40 ってダイオードD1が導通する。この結果、抵抗 $R1$ 、ダイオードD1の経路で電流が流れ、コンパレータCMP1のプラス入力端子の電位は駆動回路111がオン制御しているときよりも低下する。したがって、オフ状態に遷移した直後より小さい特定のドレイン・ソース間電圧の差が生じるまで、すなわちFETQAのソース電圧がFETQBのソース電圧とほぼ同じになるまで、FETQAはオフ状態に維持される。

ETQAは、ピンチオフ領域を経由して、例えば、3極管特性領域での動作状態を経てオフ状態へ遷移する。この結果、一定時間経過後には、コンパレータCMP1のプラス入力端子の電位が高くなり、コンパレータCMP1の出力レベルは“L”レベルから“H”レベルに変化し、FETQAは再びオン状態に遷移する。図3に示すように、このような負荷102の短絡などの異常時のFETQAのドレイン・ソース間電圧703の周期的な遷移は、スイッチSW1が閉じている間は継続され、これにより、FETQAのドレイン電流707が周期的に変動する。FETQAのドレイン・ソース間電圧703の遷移の周期は配線のインダクタンスや配線抵抗、FETQAのコンデンサ容量などに基づく時定数によって決定される。

【0030】そこで、FETQAがオンオフする回数を計数し、この計数値が設定値に達したときにはFETQAを強制的に遮断し、この遮断状態を保持することとしている。

【0031】具体的には、FETQAのオンオフ状態を計数するための回路としてON/OFF計数回路304と遮断ラッチ回路306が設けられている。

【0032】ON/OFF計数回路304は、図2に示すように、バイポーラトランジスタQ41、Q42、Q43、 $n$ チャネルFETQ44、ダイオードD41、D42、D43、ツェナーダイオードZD41、抵抗 $R41 \sim R46$ を備えて構成されている。

【0033】ツェナーダイオードZD41のカソード側はFETQAのソース端子Sに接続されており、ソース端子Sの電圧が正常状態にあるときにはトランジスタQ43のベースには順バイアス電圧が印加され、トランジスタQ43はオン状態にある。このためトランジスタQ42もオン状態にある。一方、トランジスタQ41はベースが抵抗 $R41$ 、ダイオードD42を介して駆動回路111の出力端子に接続されているため、トランジスタQ5がオンのとき、すなわち、FETQAがオンのときには、トランジスタQ41はオフの状態にある。

【0034】一方、トランジスタQ6がオンになったとき、すなわちFETQAがオフになったときにはダイオードD42がトランジスタQ6を介して接地されるため、トランジスタQ41がオンになる。トランジスタQ41がオンになると電源101からの電流がトランジスタQ41、Q42、抵抗 $R44$ を介してコンデンサC12に流れ、コンデンサC12が充電される。

【0035】次に、トランジスタQ5がオフからオンに遷移するとトランジスタQ41がオフとなり、コンデンサC12に充電された電荷は抵抗 $R46$ を介して放電する。このあと再びトランジスタQ6がオンとなってトランジスタQ41がオンになると、コンデンサC12がさらに充電される。

【0036】このようなオンオフ動作を繰り返す過程

で、コンデンサC 1 2に充電された電荷によってFET Q 4 4のゲート電圧がしきい値を超えると、FET Q 4 4がオンになり、ダイオードD 4 2が導通する。これにより、温度センサ1 2 1の両端がダイオードD 4 3を介して短絡され、遮断ラッチ回路3 0 6にラッチ指令信号が出力されることになる。すなわち、ON/OFF計数回路3 0 4はラッチ指令手段として構成されている。なお、ON/OFF回数が設定値に達するまでの時間は、抵抗R 4 6とコンデンサC 1 2による時定数によって調整することができる。

【0037】遮断ラッチ回路3 0 6は、nチャネルFET Q 1 1、Q 1 2、Q 1 3、Q 1 4、温度センサ1 2 1、抵抗R 3 1~R 3 5を備えて構成されており、FET Q 1 1のドレイン電極がFET Q 1 4のゲート端子T Gに接続され、ソース電極がFET Q 1 4のソース端子Sに接続されている。温度センサ1 2 1は、4個のダイオードが直列接続されて構成されており、半導体チップ1 1 0の温度が設定温度を超えたときには、両端の電圧が設定電圧よりも低くなるように構成されている。すなわち、温度センサ1 2 1の両端の電圧は、正常時には、FET Q 1 1のソース・ゲート電極間のしきい値よりも高く設定されており、FET Q 1 1は常時オン状態に維持されている。そして、FET Q 1 1がオンのときには、FET Q 1 4はオフに、FET Q 1 3がオンに、FET Q 1 2、FET Q 1 3がオフ状態に維持されている。

【0038】一方、FET Q 4 4がオンになって温度センサ1 2 1の両端がダイオードD 4 3を介して短絡されたり、あるいは半導体チップ1 1 0の温度が設定温度を超えて温度センサ1 2 1の両端の電圧が設定電圧以下に低下したりすると、FET Q 1 1がオンからオフになって、FET Q 1 4がオンになる。FET Q 1 4がオンになると、FET Q 1 3がオンになるとともにFET Q 1 2、Q 1 3によってラッチされる。すなわち、遮断ラッチ回路3 0 6は、ON/OFF計数回路3 0 4のON/OFF回数が設定値に達したとき、あるいは温度センサ1 2 1によって半導体チップ1 1 0の温度が前述のように周期的に変動する電流7 0 7（電流振動）による加熱により設定温度を超えたときに、FET Q 4 4を非導通状態にするとともに、この非導通状態をラッチする遮断ラッチ手段として構成されている。

【0039】このように、半導体チップ1 1 0を用いたスイッチング・デバイスでは、ハードウェア回路で、過電流や過小電流などの異常電流を検出し、その異常の状態に応じてFET Q 4 4を非導通状態にラッチしたり、また異常の発生を示す信号を外部、例えば、負荷全体のスイッチングを管理する制御手段などに出力することができる。つまり、従来のように、マイコンなどの制御手

段、シャント抵抗を含む異常判定回路、A/D変換器などが不用となり、負荷への電力の供給と異常時の電力供給の遮断などの制御がハードウェア回路のみで行なえ、さらにスイッチング・デバイスを構成するハードウェア回路などのほとんどの構成要素を1つの半導体チップに集積化することができる。すなわち、スイッチング・デバイスを簡素化できる。

【0040】次に、本発明を適用してなるスイッチング・デバイスの一実施形態と本発明の特徴部について図4及び図5を参照して説明する。図4は、本実施形態のスイッチング・デバイスのブロック構成図である。図5は、各ポート電圧、FET負荷出力状態、電源の状態を示す図である。本実施形態のスイッチング・デバイスは、構成及び動作において基本的に前述の図1のスイッチング・デバイスと同じであるが、図4に示すように、SW1の代わりにトランジスタQ 5 1を備え、ベースがマイコンなどからなる制御部8 1 1のコントロールポート8 1 3に、エミッタが抵抗R 1 1に、そしてコレクタが指令信号を入力する端子T 1 0と制御部8 1 1の監視ポート8 1 5に接続されている。さらに、本実施形態の駆動回路1 1 1は、前述の本発明の基本となるスイッチング・デバイスとは異なり、ハイレベルの指令信号が入力されることにより駆動信号を出力する構成となっている。また、本実施形態の半導体チップ8 1 0は、基本的に前述の図1の半導体チップ1 1 0と同じであるが、電源Enable 3 0 2、コンパレータCMP 1、コンパレータCMP 2の出力が直接遮断ラッチ回路3 0 6に作用するように構成されている。さらに、半導体チップ8 1 0には、トランジスタQ 5 3が集積化されており、ベースが遮断ラッチ回路3 0 6からのラッチ信号端子に、コレクタが端子T 1 0に、そしてエミッタが接地電位に接続されている。すなわち、制御部8 1 1とトランジスタQ 5 1が負荷の駆動を指令する指令手段として機能し、さらに、制御部8 1 1は、指令信号の状態により負荷の状態を監視する監視手段としても機能している。また、トランジスタQ 5 3は、遮断ラッチ回路と共に、遮断ラッチ手段を構成している。なお、トランジスタQ 5 1とQ 5 3は、バイポーラトランジスタの代わりに、CMOS FETを用いることも可能である。

【0041】本実施形態のスイッチング・デバイスでは、図5に示すように、制御部8 1 1が負荷の駆動を指令するため、コントロールポート8 1 3をローレベルにすると、トランジスタQ 5 1が導通する。トランジスタQ 5 1が導通することによって、ハイレベルの駆動指令信号が駆動回路1 1 1に入力され、駆動回路1 1 1からハイレベルの駆動信号がFET Q 4 4に出力される。駆動信号によりFET Q 4 4は、導通状態、すなわちFET Q 4 4の負荷出力がオンになる。ここで、異常が発生すると、過電流の場合にはコンパレータCMP 1が“L”レベルの判定信号を、過小電流の場合にはコンパレータ

CMP 2が“H”レベルの判定信号を遮断ラッチ回路306に出力する。これらの判定信号により、遮断ラッチ回路306は、トランジスタQ53のベースにハイレベルのラッチ信号を出力してトランジスタQ53を導通させ、駆動回路111に輸入されているハイレベルの駆動指令信号を接地電位に遷移させてローレベルの停止指令信号に変更して駆動回路111の出力を停止し、FETQAを非導通状態にラッチする。一方、制御部811は、監視ポート815で端子T10の電圧、すなわち指令信号を監視しており、コントロールポート813より負荷の駆動を指令しているときに、端子T10の電圧がローレベル、すなわち停止指令信号に遷移したことで異常が発生し、FETQAが非導通状態になったことを検知する。異常発生から所定時間経過後、制御部811は、コントロールポート813の電圧をローレベルにし、負荷の駆動指令を解除する。遮断ラッチ回路306のリセット、すなわちラッチ状態の解除は、電源がオフされるか、または端子T7からスタンバイ信号が入力され電源Enable302がスタンバイモードになることで行なわれる。

【0042】このように、本実施形態のスイッチング・デバイスでは、制御部811が、端子T10の指令信号の状態を監視して、FETQAが非導通状態になったことを検知するため、図1の半導体チップ110の過小電流検出などのための異常検出部501を接続する端子T6やダイアグ出力部502を接続する端子T11をなくすることができる。つまり、接続を増やし装置を複雑化させる半導体チップの端子数を削減することができるので、スイッチング・デバイスを簡素化することができる。また、半導体チップのコストは、端子数に比例する

ため、端子数が減ることにより、半導体チップ、すなわちスイッチング・デバイスのコストを低減することもできる。

【0043】また、本実施形態では、コントロールポート813と監視ポート815を同じ各負荷のスイッチングを制御している制御部811に設けたが、各々別個の回路や制御部811以外の制御手段などに設けてもよ

い。

【0044】また、本実施形態では、コンパレータCMP1とコンパレータCMP2の両方を備えているが、スイッチング・デバイスの用途に応じコンパレータCMP2を備えていなくてもよい。

【0045】また、本実施形態は、直流回路であるが、本発明のスイッチング・デバイスは、交流回路にも適用することができる。

【0046】

【発明の効果】本発明によれば、スイッチング・デバイスを簡素化することができる。

【図面の簡単な説明】

【図1】本発明の基本となる電流振動型遮断機能付きスイッチング・デバイスの一実施形態のブロック構成図である。

【図2】図1に示すスイッチング・デバイスの要部回路構成図である。

【図3】(a)は、図1に示すスイッチング・デバイスの作用を説明するための負荷電流の波形図、(b)は、FETQAのドレイン・ソース端子間の電圧の波形図である。

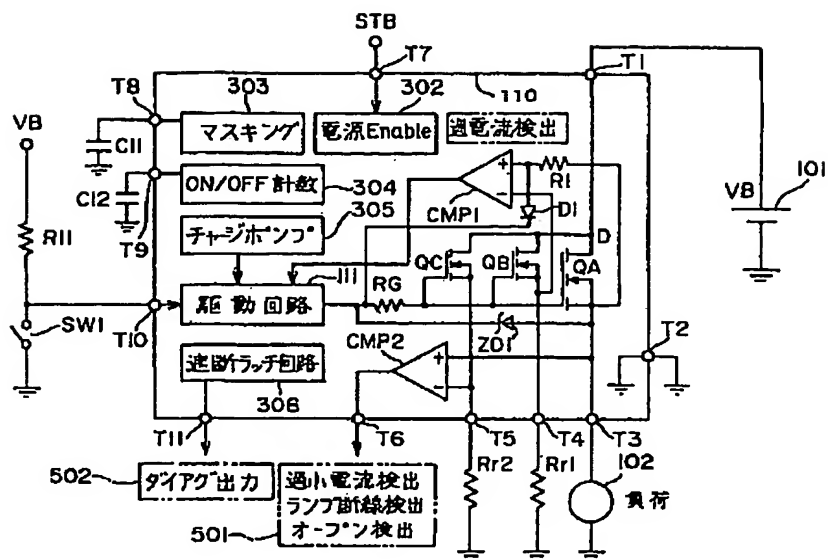
【図4】本発明を適用してなるスイッチング・デバイスの一実施形態のブロック構成図である。

【図5】各ポート電圧、FET負荷出力状態、電源の状態を示す図である。

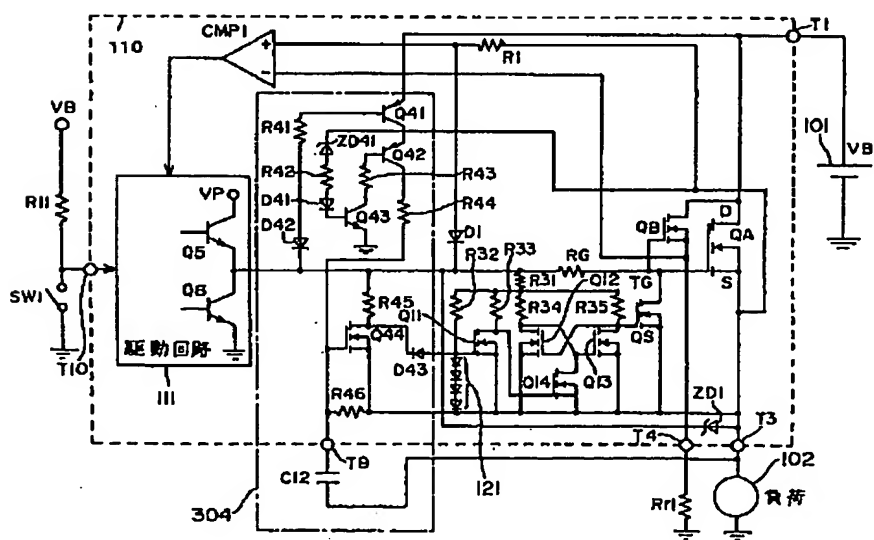
【符号の説明】

101 電源  
102 負荷  
110, 810 半導体チップ  
111 駆動回路  
306 遮断ラッチ回路  
811 制御部  
QA, QB, QC FET  
Q51, Q53 トランジスタ  
Rr1, Rr2 基準抵抗  
CMP1, CMP2 コンパレータ

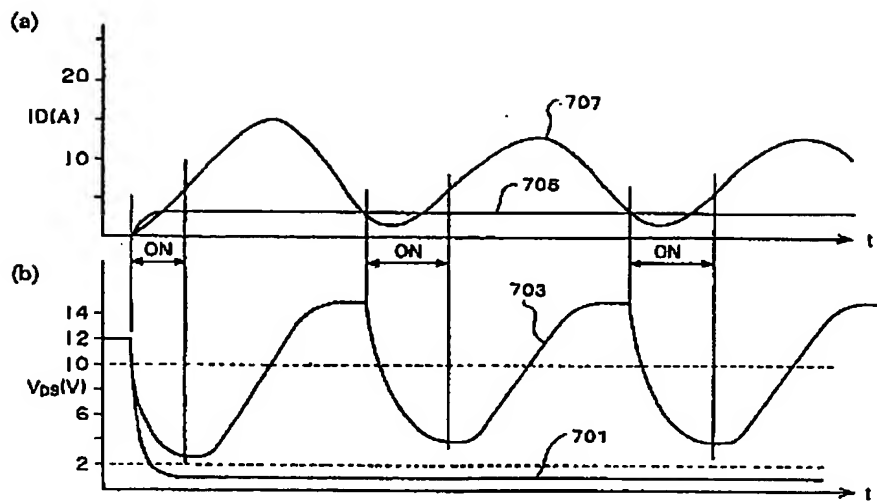
【図 1】



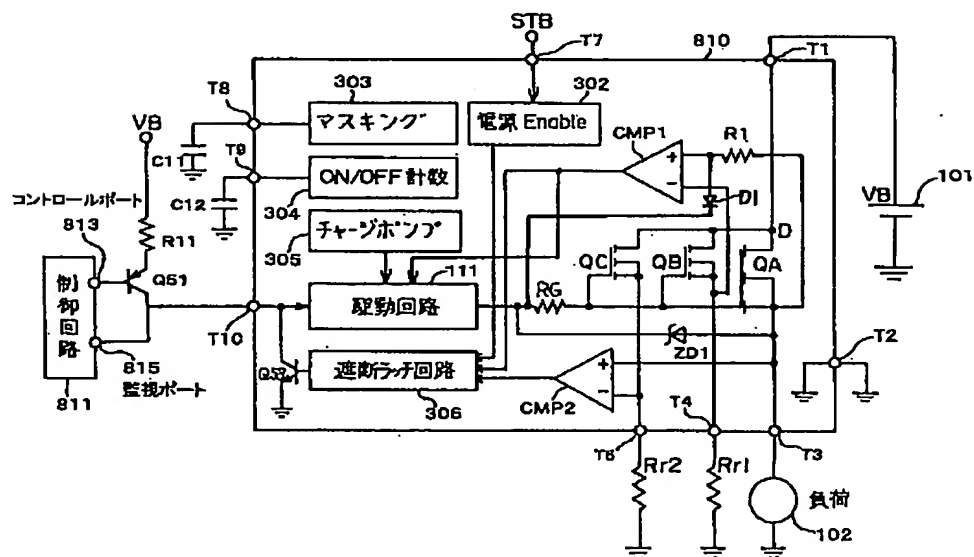
【图 2】



【図 3】



【図4】





【図5】

